

μ 子鉴别器电子学系统数据读出插件

薛俊东 梁 昊 陈一新 刘 强 刘宝莹 周 雷 虞孝麒 周永钊

(中国科学技术大学近代物理系 合肥 230026)

摘要 在我们所设计的北京谱仪第三代(BESIII) μ 子鉴别器电子学系统原型机中,前端电路板(FEC)将采集的阻性板探测器(RPC)信号经由30m长电缆传送到远端的数据读出插件中。该插件实现数据接收、数据压缩、发送控制命令、配置和测试FEC、驱动信号,以及通过USB接口与上位机交互等功能。

关键词 数据采集, μ 子鉴别器, USB

中图分类号 TL82, TN409

北京谱仪第三代改造工程(BESIII)的 μ 子鉴别器前端电子学数据读出系统(μ 子鉴别器电子学系统),主要由置于RPC探测器附近的625块前端电路板(FEC)和距RPC探测器30m处的VME(Versa Module Eurocard)读出插件组成。

μ 子鉴别器共有10000个通道。为减少由FEC到VME读出插件的传输电缆数量, μ 子鉴别器电子学系统将 $10\,000 \times 1$ 位的数据组织成40个数据链。一个数据链由16块FEC组成,把256个通道的 256×1 位的并行数据,用菊花链的方式,转换成串行的数据,再由一条信号电缆传送到远端的VME

读出插件中。同时,VME读出插件中的命令和检测用的伪随机数据以及配置数据,也通过该电缆传送到数据链的16块FEC中。读出插件还负责将获取的FEC数据进行压缩以减少数据量,在得到BESIII的数据获取系统(DAQ,在原型机中,用上位机代替实现DAQ的功能)的DAQ响应之前将压缩后的数据存储缓冲,以避免数据的丢失。图1是该 μ 子鉴别器电子学系统原型机的结构图。在原型机中,我们使用了NIM读出插件来代替VME插件,在一个数据链上实现了 μ 子鉴别器电子学系统的全部功能。

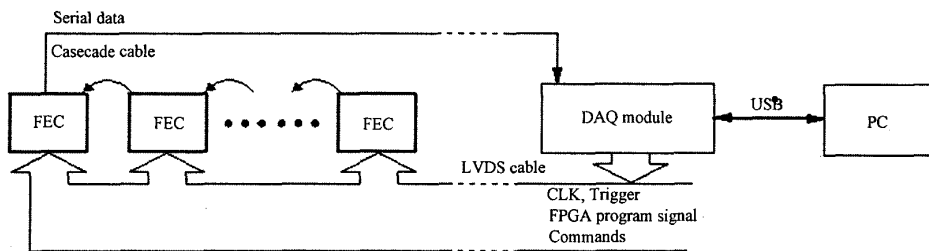


图1 μ 子鉴别器读出系统原型机组成
Fig.1 Schematic diagram of the prototype muon counter

1 数据读出插件的硬件设计

图2为该原型机的NIM数据读出插件的结构和功能框图。其有FPGA(Field Programmable Gate Array)、USB和LVDS(Low Voltage Difference Signal)三种芯片,核心芯片是一块Altera公司的Cyclone系列FPGA芯片;该芯片所实现的逻辑功能大部分由Verilog HDL硬件语言编写完成。读出插件的

LVDS芯片以MultiDrop^[1]连接方式将一条数据链的16块FEC组织起来,以便在数据读出插件和数据链之间,同时对16块FEC板进行长距离的配置和命令发送。图中的配置芯片(型号为EPC2)则是为通过PS^[2]方式对FEC板上的Altera公司的ACEX系列FPGA芯片编程而设置的;而USB芯片则工作在Slave FIFO^[3]模式下,以bulk方式在插件和PC(计算机)之间进行数据传送,同时接收PC发送的命令;

国家大科学工程北京正负电子对撞机升级项目(BEPCII)资助

第一作者:薛俊东,男,1978年出生,2005年于中国科学技术大学获博士学位

通讯作者:梁 昊

收稿日期:2007-09-01,修回日期:2008-03-20

状态灯负责实时显示插件的工作状态,如配置数据链成功与否、检测 FEC 时数据出错与否等。

原型机工作时, FEC 数据链的数据通过 LVDS 远距传送到读出插件的 FPGA 芯片处,依次经过校验重发模块、数据压缩模块、USB 接口模块,最后进入 USB 芯片内部等待计算机响应读入内存;自检数据由自检逻辑模块产生,代替 FEC 数据链数据,在 FPGA 内部经过同样的流程送入计算机。当读出

插件需要对 FEC 板进行有关设置时,计算机软件发出命令,经 USB 芯片、USB 接口模块后,由命令模块接收并解释和执行,将不同的命令发送至 FPGA 内部其他模块(如 PS 配置模块)执行或者转换为串行命令,再送给 FEC 数据链执行。

下文介绍该插件的主要模块的功能和工作原理。

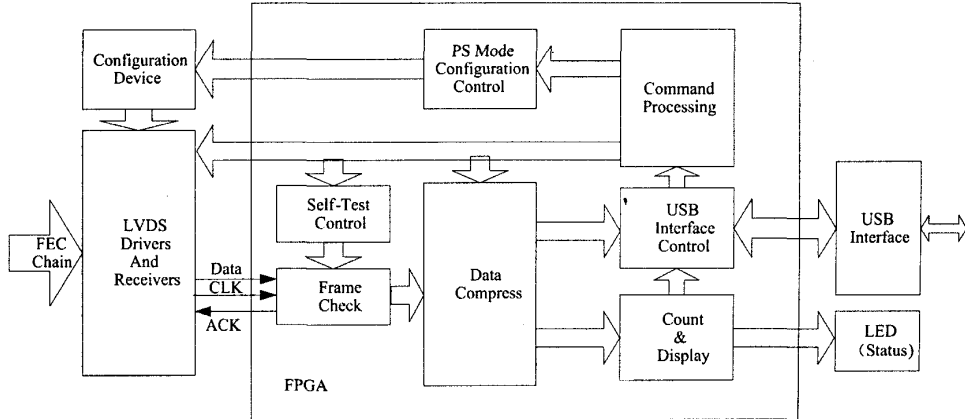


图 2 数据读出插件结构和功能框图
Fig.2 Schematics of the data read-out module

1.1 校验重发模块

为了克服数据在长电缆上传输易受外界电磁干扰的缺点,我们在 FPGA 逻辑设计上增加了校验和数据重发机制。

如图 3,首先校验数据头尾:我们在 FEC 传输给数据读出插件的串行数据的编码上加入了固定的数据头和数据尾。数据读出插件接收到该串行数据

后会首先判断数据头尾,如果数据头尾被损坏,则丢弃该次数据。

其次,增加了奇偶校验:在每块 FEC 的 16 位串行数据前加入一位奇偶校验位,一旦数据在传输过程中发生错误,数据获取插件在收到数据后能够通过奇偶校验判断每块 FEC 的数据是否完好,进一步增强了串行数据的容错能力。

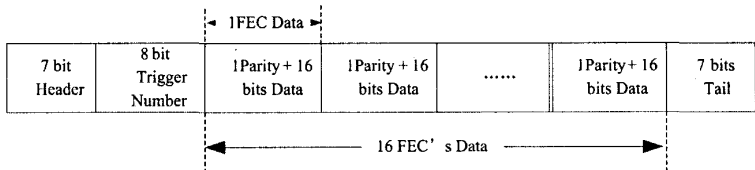


图 3 自定义的数据格式
Fig.3 Dataflow structure

再次,启用了重发机制:串行数据完全发送后 FEC 不会立刻将当前数据从数据缓冲中清除,而是在规定的时间内等待;数据获取插件在正确识别出一次好事例的串行数据后,会通过命令通道立刻发送一个确认信号给 FEC, FEC 在规定时间内收到确认信号后即可清除当前数据,启动下一次的发送过程;否则 FEC 认为此次数据发送出错,并将当前数据重新写入并串转换移位寄存器,重新发送该次数据;重发次数超过 5 次,则不再重发,这样可以避免重发机制陷入死循环。

这样的“出错重发”机制可在最大程度上保证好事例数据传输过程中的正确性和完整性。

1.2 数据压缩模块

因为 μ 子鉴别器的阻性板探测器是一个低事例率的探测器:根据 Babar 探测器上的实验, μ 子鉴别器的阻性板探测器给出的每次事例也仅有几十道被击中^[4],一次触发将产生大量“0”数据,因此经过数据压缩后可以极大降低数据量,从而大幅度减少了数据在缓冲中溢出的可能性。

数据压缩算法较为复杂，用电路图搭建法不易实现，对于该模块我们完全采用 Verilog HDL 来完成。其具体操作为：将 FEC 采集的 RPC 信号，以 FEC 板为单位，进行数据“0”压缩：如果该板的 16 位数据全部为 0，则不记录该板数据；如果该板的

数据为非全零数据，则加 FEC 板地址之后存入缓冲。并将一次事例的整个数据链数据加字头和字尾，记录相应的触发号、本次传输的数据个数和其他一些状态信息(图 4)。

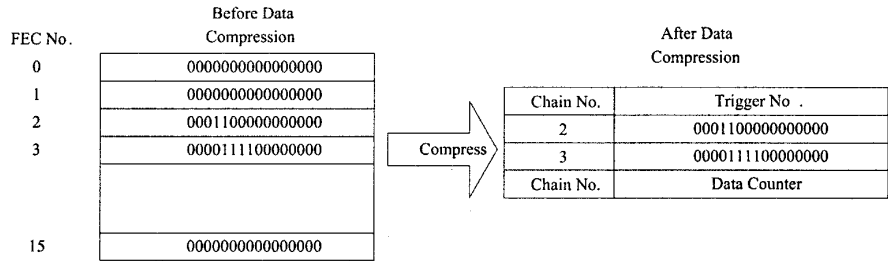


图 4 数据压缩前后
Fig.4 Data Compression

1.3 USB 接口模块

该模块的作用是通过 USB 芯片向计算机传送数据以及接收计算机发送过来的命令。我们使用的是 USB 的 Slave FIFO 模式，该模式要求在 USB 芯片外部提供相应的接口电路，以便配合 USB 芯片内部的 FIFO 进行读写操作。在 USB 传输类型的选择上，我们使用了批量(bulk)传输方式，因为该方式不仅传输数据快速，而且传输过程本身有校验，从而充分保证了传输的可靠性。

由该 USB 接口逻辑框图(图 5)，进行 USB 读写操作均须同时满足若干条件。由于读写操作同一条 USB 数据总线，故需设置不同的优先级以避免读写冲突。在图 5 中，数据缓冲向 USB 发送压缩数据的一个必要条件是 USB 写端 FIFO 空，而 USB 向命令缓冲发送命令则不受 USB 读端 FIFO 状态的限制，这样就从硬件逻辑上实现了读操作的优先级高于写操作。

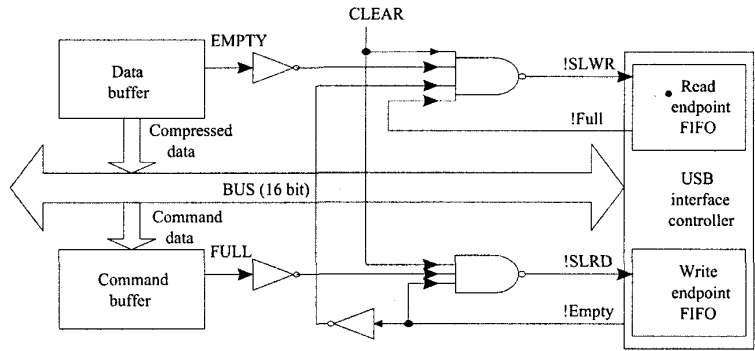


图 5 USB 接口逻辑框图
Fig.5 Schematic of the USB interface

1.4 自检逻辑模块

自检逻辑模块用于测试 FEC。模块内的伪随机信号发生器产生的伪随机测试脉冲经过 30 m 长电缆传输给 FEC 数据链，通过 FEC 板上的 FPGA 控制其模拟开关的瞬间通断，产生类似阻性板室(RPC)^[5]探测器 RPC 信号；同时，数据读出插件还模拟真实的触发系统给出伪触发信号，通知 FEC 采集其自产生的伪 RPC 信号。数据读出插件再将 FEC 返回的数据通过硬件判断和软件分析，就可知道

FEC 的工作状态正常与否。

2 数据读出插件的软件设计

数据读出插件的软件框图见图 6。该软件由三部份组成：(1) 顶层的应用程序主要完成获取 μ 子鉴别器因击中而产生的 RPC 信号数据，发送各种控制命令等功能；(2) USB 底层驱动程序主要负责识别 USB 设备，并在 USB 设备和操作系统之间进行沟通；(3) 介于应用程序和驱动程序之间的 API，

负责提供可供调用的函数给顶层应用程序使用，避免了对底层驱动程序甚至硬件方面技术细节的过多关注。

应用程序是在 Windows 操作系统下使用 Delphi 7 和 WinDriver 开发的。为实现对高数据率数据的获取，我们采用了多线程技术，并在内存中开双缓冲，还用了记录文件的方式而非数据库方式来

存取数据。而作为底层的驱动程序及其相应的 API，均是由 WinDriver 软件提供，其优点是：使用者无需熟悉任何内部操作系统或 kernel programming 或 DDK 及任何驱动程式，就可直接在其熟悉的开发环境下，开发出所需的驱动程序进而通过操作系统的总线控制器和外围的 USB 设备进行数据交换^[6]。

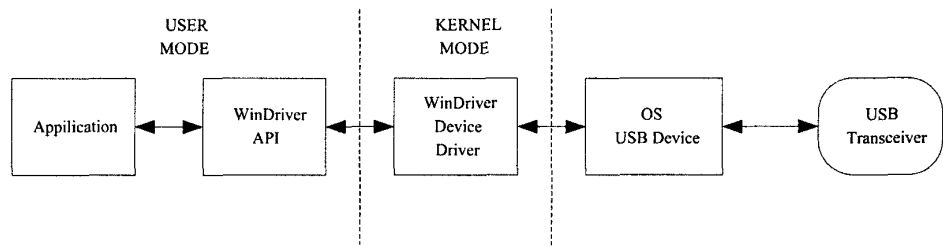


图 6 WinDriver 的 USB 驱动程序体系结构图
Fig.6 WinDriver USB architecture

3 结论

我们研制的 μ 子鉴别器前端电子学数据读出插件，电路设计上充分利用了 FPGA 芯片高集成度、可编程的优点，在一片 FPGA 内部实现了我们所需要的全部功能，并且经过调试，已经在北京高能物理所投入使用，充分证明了该插件的设计合理、可靠，也为高能物理领域内类似数据采集系统的设计提供了有益的参考。

参考文献

1 National Semiconductor Company, LVDS Owner's

Manual, Revision 2.0—Spring 2000, Design Guides
2 Altera Corporation, Configuring SRAM-Based LUT Devices, Application Note 116, February 2002, Ver.3.0
3 Cypress Semiconductor Company, EZ-USB FX2 Technical Reference Manual,v2.1, Reference Manual
4 ch 10, Muon Electronics System, Babar TDR, The Babar Collaboration, 1995
5 Cavallo N, et al. FRONT-END CARD DESIGN FOR THE RPC DETECTOR AT BABAR. INFN/TC-96/22
6 Jungo Software Technologies Inc., Quick Start Guide, WinDriver USB Version 6.02

Front-end data readout module of a muon counter

XUE Jundong LIANG Hao CHEN Yixin LIU Qiang LIU Baoying
ZHOU Lei YU Xiaoqi ZHOU Yongzhao

(Department of Modern Physics, University of Science and Technology of China, Hefei 230026)

Abstract In the prototype of the Front End Electronics(FEE) readout system of muon counter for the BES-III project, the data, converted by Front End Cards(FEC), are transmitted into readout modules, located from the FEC 30 meters away. Readout modules receiving and compressing data, readout modules send data to USB port while they send control commands to test FECs with some relative driving signals.

Key words Data collection, Muon counter, USB

CLC TL82, TN409